

AMENDMENT
(Amendment under Provision of Law Article 11)

To Examiner of JPO, Tadashi SHINOZAKI

1. Indication of International Application PCT/JP03/02651

2. Applicant

Name	SANKEN ELECTRIC CO., LTD.
Address	6-3, Kitano 3-chome, Niiza-shi, Saitama 352-8666, JAPAN
Nationality	JAPAN
Residence	JAPAN

3. Agent

Name	(9540) KIMURA Mitsuru
Address	2nd Floor Kyohan Building, 7, Kandanishiki-cho 2-chome, Chiyoda-ku, Tokyo 101-0054, JAPAN

4. Object of Amendment Claims

5. Content of Amendment

(1) "a first determination unit (52, 82) which determines whether or not a signal level of an alternating current signal passes over a first reference voltage (V2) which is higher than zero from a lower side to a higher side" in claim 1 on page 23 is corrected to "a first determination unit

(52, 82) which outputs a first comparison result for determining whether or not a signal level of an alternating current signal exceeds a first reference voltage (V2) which is higher than zero".

(2) "a second determination unit (40, 70, 90) which determines whether or not the signal level of the alternating current signal exceeds a second reference voltage (V1)" in claim 1 on page 23 is corrected to "a second determination unit (40, 70, 90) which outputs a second comparison result for determining whether or not the signal level of the alternating current signal exceeds a second reference voltage (V1)".

(3) "a storage unit (53, 54, 83, 84) which stores a first determination result of said first determination unit (52, 82) and a second determination result of said second determination unit (40, 70, 90)" in claim 1 on page 23 is corrected to "a storage unit (53a, 54, 83a, 84) which stores the second comparison result output from said second determination unit (40, 70, 90) after said first determination unit (52, 82) outputs the first comparison result".

(4) "which refers to the determination results stored in said storage unit (53, 54, 83, 84)" in claim 1 on page 23 is corrected to "which refers to the comparison result stored in said storage unit (53a, 54, 83a, 84)".

(5) "based on the determination result referred to" in claim 1 on page 23 is corrected to "based on the comparison result referred to".

(6) "a determination signal output unit (53b, 55, 85, 86)" in claim 1 on page 23 is corrected to "a determination signal output unit (53b, 55, 83b, 85, 86)".

(7) "said determination signal output unit (53b, 55, 85, 86)" in claim 2 on page 23 is corrected to "said determination signal output unit (53b, 55, 83b, 85, 86)".

(8) "refers to the first determination result of said first determination unit (52, 82) and the determination result of said second determination unit (40, 70, 90) which are stored in said storage unit (53, 54, 83, 84)" in claim 2 on page 23 is corrected to "refers to the second comparison result of said second determination unit (40, 70, 90) stored in said storage unit (53a, 54, 83a, 84) after said first determination unit (52, 82) outputs the first comparison result".

(9) “when said storage unit (53, 54, 83, 84) stores the first determination result representing that the signal level of the alternating current signal passes over the first reference voltage (V2) from the lower side to the higher side, and the second determination result representing that the signal level of the alternating current signal exceeds the second reference voltage (V1)” in claim 2 on page 23 is corrected to “when the second comparison result representing that the signal level of the alternating current signal exceeds the second reference voltage (V1) is output from said second determination unit (40, 70, 90) and stored in said storage unit (53a, 54, 83a, 84), after said first determination unit (52, 82) outputs the first comparison result representing that the signal level of the alternating current signal exceeds the first reference voltage (V2)”.

(10) “when said storage unit (53, 54, 83, 84) stores the first determination result representing that the signal level of the alternating current signal passes over the first reference voltage (V2) from the lower side to the higher side and the second determination result representing that the signal level of the alternating current signal is equal to or lower than the second reference voltage (V1)” in claim 2 on page 24 is corrected to “when the second comparison result representing that the signal level of the alternating current signal is equal to or lower than the second reference voltage (V1) is output from said second determination unit (40, 70, 90) and stored in said storage unit (53a, 54, 83a, 84) after said first determination unit (52, 82) outputs the first comparison result representing that the signal level of the alternating current signal exceeds the first reference voltage (V2)”.

(11) “the first determination result and the second determination result stored in said storage unit (53, 54)” in claim 3 on page 24 is corrected to “the second comparison result stored in said storage unit (53a, 54)”.

(12) “the first determination result and the second determination result stored in said storage unit (83, 84)” in claim 4 on page 24 is corrected to “the second comparison result stored in said storage unit (83a, 84).”

(13) “a first comparator (52) which compares the signal level of the alternating current signal with the first reference voltage (V2), and outputs, when the signal level of the alternating current signal passes over the first

reference voltage (2) from the lower side to the higher side, the first determination result representing this fact” in claim 5 on page 24 is corrected to “a first comparator (52) which compares the signal level of the alternating current signal with the first reference voltage (V2), and outputs, when the signal level of the alternating current signal exceeds the first reference voltage (V2), the first comparison result representing this fact”.

(14) “a second comparator (42) which compares the signal level of the alternating current signal with the second reference voltage (V1), and outputs, when the signal level of the alternating current signal exceeds the second reference voltage (V1), the second determination result representing this fact” in claim 5 on pages 24 to 25 is corrected to “a second comparator (42) which compares the signal level of the alternating current signal with the second reference voltage (V1), and outputs, when the signal level of the alternating current signal exceeds the second reference voltage (V1), the second comparison result representing this fact”.

(15) “a reset signal output unit (53a) which generates and outputs a reset signal (P1) based on the first determination result of said first comparator (52) representing that the signal level of the alternating current signal exceeds the second reference voltage (V1)” in claim 5 on page 25 is corrected to “a reset signal output unit (53a) which generates and outputs a reset signal (P1) based on the first comparison result of said first comparator (52) when the signal level of the alternating current signal passes over the first reference voltage (V2) from the lower side to the higher side”.

(16) “a reset-set flip-flop circuit (54) which outputs a Q signal which is reset based on the reset signal (P1) generated by said reset signal generation unit (53a) and which is set based on the second determination result of said second comparator (42) representing that the signal level of the alternating current signal exceeds the second reference voltage (V1), and stores a reset or set status of the Q signal as the first determination result or the second determination result” in claim 5 on page 25 is corrected to “a reset-set flip-flop circuit (54) which outputs a Q signal which is reset based on the reset signal (P1) generated by said reset signal generation unit (53a) and which is set based on the second comparison result of said second

comparator (42) representing that the signal level of the alternating current signal exceeds the second reference voltage (V1), and stores a reset or set status of the Q signal as the second determination result”.

(17) “based on the first determination result of said first comparator (52) representing that the signal level of the alternating current signal passes over the first reference voltage (V2) from the lower side to the higher side” in claim 5 on page 25 is corrected to “based on the first comparison result of said first comparator (52) when the signal level of the alternating current signal passes over the first reference voltage (V2) from the higher side to the lower side”.

(18) “a first comparator (82) which compares the signal level of the alternating current signal with the first reference voltage (V2), and outputs, when the signal level of the alternating current signal passes over the first reference voltage (V2) from the lower side to the higher side, the first determination result representing this fact” in claim 6 on pages 25 to 26 is corrected to “a first comparator (82) which compares the signal level of the alternating current signal with the first reference voltage (V2), and outputs, when the signal level of the alternating current signal exceeds the first reference voltage (V2), the first comparison result representing this fact”.

(19) “second comparator (72) which compares the signal level of the alternating current signal with the second reference voltage (V1), and outputs, when the signal level of the alternating current signal exceeds the second reference voltage (V1), the second determination result representing this fact” in claim 6 on page 26 is corrected to “second comparator (72) which compares the signal level of the alternating current signal with the second reference voltage (V1), and outputs, when the signal level of the alternating current signal exceeds the second reference voltage (V1), the second comparison result representing this fact”.

(20) “a reset signal output unit (83a) which generates and outputs a reset signal (P1) based on the first determination result of said first comparator (82)” in claim 6 on page 26 is corrected to “a reset signal output unit (83a) which generates and outputs a reset signal (P1) based on the first comparison result of said first comparator (82)”.

(21) “a reset-set flip-flop circuit (84) which outputs a Q signal which

is reset based on the reset signal (P1) generated by said reset signal generation unit (83a) and which is set based on the second determination result of said second comparator (72) representing that the signal level of the alternating current signal exceeds the second reference voltage (V1), and stores a reset or set status of the Q signal as the first determination result or the second determination result” in claim 6 on page 26 is corrected to “a reset-set flip-flop circuit (84) which outputs a Q signal which is reset based on the reset signal (P1) generated by said reset signal generation unit (83a) and which is set based on the second comparison result of said second comparator (72) representing that the signal level of the alternating current signal exceeds the second reference voltage (V1), and stores a reset or set status of the Q signal as the second comparison result”.

(22) “generates and outputs a timing signal (P2) based on the first determination result” in claim 6 on page 26 is corrected to “generates and output a timing signal (P2) based on the first comparison result”.

(23) “a first determination unit (52) which determines whether or not a signal level of the alternating current signal passes over a first reference voltage (V2) which is higher than zero from a lower side to a higher side” in claim 8 on page 27 is corrected to “a first determination unit (52) which outputs a first comparison result for determining whether or not a signal level of the alternating current signal exceeds a first reference voltage (V2)” which is higher than zero .

(24) “a second determination unit (43) which determines whether or not the signal level of the alternating current signal exceeds a plurality of second reference voltages (V1, V3) which are higher than the first reference voltage (V2), and outputs either one of them as a second determination result” in claim 8 on page 27 is corrected to “a second determination unit (43) which determines whether or not the signal level of the alternating current signal exceeds a plurality of second reference voltages (V1, V3) which are higher than the first reference voltage (V2), and outputs either one of second comparison result”.

(25) “a storage unit (53a, 54) which stores a first determination result of said first determination unit (52) and the second determination result output from said second determination unit (43)” in claim 8 on page

27 is corrected to “a storage unit (53a, 54) which stores the second comparison result output from said second determination unit (43), after said first determination unit (52) outputs the first comparison result”.

(26) “refers to the determination results stored in said storage unit (53a, 54), determines whether the signal level of the alternating current signal is high or low based on the determination results referred to” in claim 8 on page 27 is corrected to “refers to the comparison result stored in said storage unit (53a, 54), determines whether the signal level of the alternating current signal is high or low based on the comparison result referred to”.

6. List of Attached Documents

Claims page 23, page 24, page 25, page 26, and page 27

CLAIMS

1. (Amended) An alternating current signal level detection circuit comprising:
 - a first determination unit (52, 82) which outputs a first comparison result for determining whether or not a signal level of an alternating current signal exceeds a first reference voltage (V2) which is higher than zero;
 - a second determination unit (40, 70, 90) which outputs a second comparison result for determining whether or not the signal level of the alternating current signal exceeds a second reference voltage (V1) which is higher than the first reference voltage (V2);
 - a storage unit (53a, 54, 83a, 84) which stores the second comparison result output from said second determination unit (40, 70, 90) after said first determination unit (52, 82) outputs the first comparison result; and
 - a determination signal output unit (53b, 55, 83b, 85, 86) which refers to the comparison result stored in said storage unit (53a, 54, 83a, 84), determines whether the signal level of the alternating current signal is high or low based on the comparison result referred to, and outputs a high-low determination signal as a result of the determining.
2. (Amended) The alternating current signal level detection circuit according to claim 1, wherein said determination signal output unit (53b, 55, 83b, 85, 86):
 - refers to second comparison result of said second determination unit (40, 70, 90) stored in said storage unit (53a, 54, 83a, 84), after said first determination unit (52, 82) outputs the first determination result;
 - outputs a high-low determination signal representing that the signal level of the alternating current signal is high, when the second comparison result representing that the signal level of the alternating current signal exceeds the second reference voltage (V1) is output from said second determination unit (40, 70, 90) and stored in said storage unit (53a, 54, 83a, 84), after said first determination unit (52, 82) outputs the first comparison result representing that the signal level of the alternating current signal exceeds the first reference voltage (V2); and
 - outputs a high-low determination signal representing that the signal level of the

alternating current signal is low, when the second comparison result representing that the signal level of the alternating current signal is equal to or lower than the second reference voltage (V1) is output from said second determination unit (40, 70, 90) and stored in said storage unit (53a, 54, 83a, 84), after said first determination unit (52, 82) outputs the first comparison result representing that the signal level of the alternating current signal exceeds the first reference voltage (V2).

3. (Amended) The alternating current signal level detection circuit according to claim 2, wherein said determination signal output unit (53b, 55) outputs the high-low determination signal by referring to the second comparison result stored in said storage unit (53a, 54) when the signal level of the alternating current signal passes over the first reference voltage (V2) from a higher side to a lower side.

4. (Amended) The alternating current signal level detection circuit according to claim 2, wherein said determination signal output unit (83b, 85, 86) outputs the high-low determination signal by referring to the second comparison result stored in said storage unit (83a, 84) when the signal level of the alternating current signal exceeds the second reference voltage (V1) and when the signal level of the alternating current passes over the first reference voltage (V2) from the higher side to the lower side.

5. (Amended) The alternating current signal level detection circuit according to claim 3, wherein

said first determination unit comprises a first comparator (52) which compares the signal level of the alternating current signal with the first reference voltage (V2), and outputs, when the signal level of the alternating current signal exceeds the first reference voltage (V2), the first comparison result representing this fact,

said second determination unit comprises a second comparator (42) which compares the signal level of the alternating current signal with the second reference voltage (V1),

and outputs, when the signal level of the alternating current signal exceeds the second reference voltage (V1), the second comparison result representing this fact,

said storage unit comprises:

a reset signal output unit (53a) which generates and outputs a reset signal (P1) based on the first comparison result of said first comparator (52) when the signal level of the alternating current signal passes over the first reference voltage (V2) from the lower side to the higher side; and

a reset-set flip-flop circuit (54) which outputs a Q signal which is reset based on the reset signal (P1) generated by said reset signal generation unit (53a) and which is set based on the second comparison result of said second comparator (42) representing that the signal level of the alternating current signal exceeds the second reference voltage (V1), and stores a reset or set status of the Q signal as the second comparison result, and

said determination signal output unit comprises:

a timing signal output unit (53b) which generates and outputs a timing signal (P2) based on the first comparison result of said first comparator (52) when the signal level of the alternating current signal passes over the first reference voltage (V2) from the higher side to the lower side; and

a delay flip-flop circuit (55) which refers to the reset or set status of the Q signal output from said reset-set flip-flop circuit (54) when the timing signal (P2) is output from said timing signal output unit (53b), and outputs a signal having a same status as the status referred to, as the high-low determination signal.

6. (Amended) The alternating current signal level detection circuit according to claim 4, wherein

said first determination unit comprises a first comparator (82) which compares the signal level of the alternating current signal with the first reference voltage (V2), and outputs, when the signal level of the alternating current signal exceeds the first

reference voltage (V2), the first comparison result representing this fact,

said second determination unit comprises a second comparator (72) which compares the signal level of the alternating current signal with the second reference voltage (V1), and outputs, when the signal level of the alternating current signal exceeds the second reference voltage (V1), the second comparison result representing this fact,

said storage unit comprises:

a reset signal output unit (83a) which generates and outputs a reset signal (P1) based on the first determination result of said first comparator (82) representing that the signal level of the alternating current signal exceeds the first reference voltage (V2); and

a reset-set flip-flop circuit (84) which outputs a Q signal which is reset based on the reset signal (P1) generated by said reset signal generation unit (83a) and which is set based on the second comparison result of said second comparator (72) representing that the signal level of the alternating current signal exceeds the second reference voltage (V1), and stores a reset or set status of the Q signal as the second comparison result, and

said determination signal output unit comprises:

a timing signal output unit (83b) which generates and outputs a timing signal (P2) based on the first determination result obtained by determination of said first comparator (82);

a delay flip-flop circuit (85) which refers to the reset or set status of the Q signal output from said reset-set flip-flop circuit (84) when the timing signal (P2) is output from said timing signal output unit (83b), and outputs a signal having a same status as the status referred to; and

a logical OR operation unit (86) which implements a logical OR operation of an output signal from said reset-set flip-flop circuit (84) and said delay flip-flop circuit (85), and outputs a result of the logical OR operation as the high-low determination

signal.

7. The alternating current signal level detection circuit according to claim 6, comprising a first power source having the first reference voltage (V2) and a second power source having the second reference voltage (V1), wherein:

said first power source lowers the first reference voltage (V2), when the signal level of the alternating current signal passes over the first reference voltage (V2) from the lower side to the higher side; and

said second power source lowers the second reference voltage, when the signal level passes over the second reference voltage from a lower side to a higher side.

8. (Amended) An alternating current signal level detection circuit comprising:
a first determination unit (52) which outputs a first comparison result for determining whether or not a signal level of the alternating current signal exceeds a first reference voltage (V2) which is higher than zero;

a second determination unit (43) which determines whether or not the signal level of the alternating current signal exceeds a plurality of second reference voltages (V1, V3) which are higher than the first reference voltage (V2), and outputs either one of second comparison result;

a storage unit (53a, 54) which stores the second comparison result output from said second determination unit (43), after said first determination unit (52) outputs the first comparison result; and

a determination signal output unit (53b, 55) which refers to the comparison result stored in said storage unit (53a, 54), determines whether the signal level of the alternating current signal is high or low based on the comparison result referred to, and outputs a high-low determination signal as a result of the determining.

9. The alternating current signal level detection circuit according to claim 8, comprising a first power source having the first reference voltage (V2), and a second power source having the second reference voltage (V1), wherein:



手続補正書

(法第 11 条の規定による補正)

特許庁審査官 篠崎 正 殿



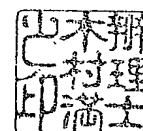
1. 国際出願の表示 PCT/JPO3/02651

2. 出願人

名称 サンケン電気株式会社
SANKEN ELECTRIC CO., LTD.
あて名 〒352-8666 日本国埼玉県新座市北野3丁目
6番3号
6-3, kitano 3-chome, Niiza-shi, Saitama
352-8666, JAPAN
国籍 日本国 JAPAN
住所 日本国 JAPAN

3. 代理人

氏名 (9540) 弁理士 木村 満
KIMURA Mitsuru
あて名 〒101-0054 日本国東京都千代田区神田錦町二丁目7番地
協販ビル2階
2nd Floor Kyohan Building, 7, Kandanishiki-cho 2-chome,
Chiyoda-ku, Tokyo 101-0054, JAPAN



4. 補正の対象 請求の範囲

5. 補正の内容

(1) 請求の範囲第19頁第1項の「第1の基準電圧(V2)を小さい方から大

きい方に越えたか否かを判別する第1の判別部」を「第1の基準電圧（V2）を越えたか否かを判別するための第1の比較結果を出力する第1の判別部」に変更する。

（2）請求の範囲第19頁第1項の「第2の基準電圧（V1）を越えたか否かを判別する第2の判別部」を「第2の基準電圧（V1）を越えたか否かを判別するための第2の比較結果を出力する第2の判別部」に変更する。

（3）請求の範囲第19頁第1項の「第1の判別部（52，82）の第1の判別結果と前記第2の判別部（40，70，90）の第2の判別結果とを記憶する記憶部（53，54，83，84）」を「第1の判別部（52，82）が第1の比較結果を出力してから、前記第2の判別部（40，70，90）が出力した第2の比較結果を記憶する記憶部（53a，54，83a，84）」に変更する。

（4）請求の範囲第19頁第1項の「前記記憶部（53，54，83，84）が記憶している判別結果を参照し」を「前記記憶部（53a，54，83a，84）が記憶している比較結果を参照し」に変更する。

（5）請求の範囲第19頁第1項の「参照した判別結果に基づいて」を「参照した比較結果に基づいて」に変更する。

（6）請求の範囲第19頁第1項の「判別信号出力部（53b，55，85，86）」を「判別信号出力部（53b，55，83b，85，86）」に変更する。

（7）請求の範囲第19頁第2項の「判別信号出力部（53b，55，85，86）は」を「判別信号出力部（53b，55，83b，85，86）は」に変更する。

（8）請求の範囲第19頁第2項の「前記記憶部（53，54，83，84）が記憶している前記第1の判別部（52，82）の第1の判別結果と前記第2の判別部（40，70，90）の判別結果とを参照し」を「前記第1の判別部（52，82）が第1の比較結果を出力してから、前記記憶部（53a，54，83a，84）が記憶している前記第2の判別部（40，70，90）の第2の比較結果を参照し」に変更する。

（9）請求の範囲第19頁第2項の「第1の基準電圧（V2）を小さい方から大きい方に越えたことを示す第1の判別結果と、前記交流信号の信号レベルが前記

第2の基準電圧(V1)を越えたことを示す第2の判別結果とを、前記記憶部(53, 54, 83, 84)が記憶しているとき」を「第1の基準電圧(V2)を越えたことを示す第1の比較結果を前記第1の判別部(52, 82)が出力してから、前記交流信号の信号レベルが前記第2の基準電圧(V1)を越えたことを示す第2の比較結果を前記第2の判別部(40, 70, 90)が出力して、前記記憶部(53a, 54, 83a, 84)が前記第2の比較結果を記憶しているとき」に変更する。

(10) 請求の範囲第19頁第2項の「第1の基準電圧(V2)を小さい方から大きい方に越えたことを示す第1の判別結果と、前記交流信号の信号レベルが前記第2の基準電圧(V1)以下であることを示す第2の判別結果とを、前記記憶部(53, 54, 83, 84)が記憶しているとき」を「第1の基準電圧(V2)を越えたことを示す第1の比較結果を前記第1の判別部(52, 82)が出力してから、前記交流信号の信号レベルが前記第2の基準電圧(V1)以下であることを示す第2の比較結果を前記第2の判別部(40, 70, 90)が出力して、前記記憶部(53a, 54, 83a, 84)が前記第2の比較結果を記憶しているとき」に変更する。

(11) 請求の範囲第20頁第3項の「記憶部(53, 54)が記憶している前記第1の判別結果と前記第2の判別結果とを」を「記憶部(53a, 54)が記憶している前記第2の比較結果を」に変更する。

(12) 請求の範囲第20頁第4項の「記憶部(83, 84)が記憶している前記第1の判別結果と前記第2の判別結果とを」を「記憶部(83a, 84)が記憶している前記第2の比較結果を」に変更する。

(13) 請求の範囲第20頁第5項の「第1の基準電圧(V2)を小さい方から大きい方に越えたときは、その旨の第1の判別結果を出力する第1の比較器(52)」を「第1の基準電圧(V2)を越えたときは、その旨の第1の比較結果を出力する第1の比較器(52)」に変更する。

(14) 請求の範囲第20頁第5項の「その旨の第2の判別結果を出力する第2の比較器(42)」を「その旨の第2の比較結果を出力する第2の比較器(42)」に変更する。

(15) 請求の範囲第20頁第5項の「第2の基準電圧(V1)を越えたことを示す前記第1の比較器(52)の第1の判別結果に基づいてリセット信号(P1)を生成して出力するリセット信号出力部(53a)」を「第1の基準電圧(V2)を小さい方から大きい方に越えたときに前記第1の比較器(52)の第1の比較結果に基づいてリセット信号(P1)を生成して出力するリセット信号出力部(53a)」に変更する。

(16) 請求の範囲第20頁第5項の「第2の判別結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を、前記第1の判別結果、前記第2の判別結果として記憶するリセットセットフリップフロップ回路(54)」を「第2の比較結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を、前記第2の比較結果として記憶するリセットセットフリップフロップ回路(54)」に変更する。

(17) 請求の範囲第21頁第5項の「第1の基準電圧(V2)を小さい方から大きい方に越えたことを示す前記第1の比較器(52)の第1の判別結果に基づいて」を「第1の基準電圧(V2)を大きい方から小さい方に越えたときに前記第1の比較器(52)の第1の比較結果に基づいて」に変更する。

(18) 請求の範囲第21頁第6項の「第1の基準電圧(V2)を小さい方から大きい方に越えたときは、その旨の第1の判別結果を出力する第1の比較器(82)」を「第1の基準電圧(V2)を越えたときは、その旨の第1の比較結果を出力する第1の比較器(82)」に変更する。

(19) 請求の範囲第21頁第6項の「その旨の第2の判別結果を出力する第2の比較器(72)」を「その旨の第2の比較結果を出力する第2の比較器(72)」に変更する。

(20) 請求の範囲第21頁第6項の「第1の比較器(82)の第1の判別結果に基づいてリセット信号(P1)を生成して出力するリセット信号出力部(83a)」を「第1の比較器(82)の第1の比較結果に基づいてリセット信号(P1)を生成して出力するリセット信号出力部(83a)」に変更する。

(21) 請求の範囲第21頁第6項の「第2の比較器(72)の第2の判別結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を、

前記第 1 の判別結果、前記第 2 の判別結果として記憶するリセットセットフリップフロップ回路（84）」を「第 2 の比較器（72）の第 2 の比較結果に基づいてセットされる Q 信号を出力し、前記 Q 信号のリセット、セット状態を、前記第 2 の比較結果として記憶するリセットセットフリップフロップ回路（84）」に変更する。

（22）請求の範囲第 22 頁第 6 項の「第 1 の判別結果に基づいてタイミング信号（P2）を生成し、」を「第 1 の比較結果に基づいてタイミング信号（P2）を生成し、」に変更する。

（23）請求の範囲第 22 頁第 8 項の「第 1 の基準電圧（V2）を小さい方から大きい方に越えたか否かを判別する第 1 の判別部（52）」を「第 1 の基準電圧（V2）を越えたか否かを判別するための第 1 の比較結果を出力する第 1 の判別部（52）」に変更する。

（24）請求の範囲第 22 頁第 8 項の「いずれか 1 つを第 2 の判別結果として出力する第 2 の判別部（43）」を「いずれか 1 つの第 2 の比較結果を出力する第 2 の判別部（43）」に変更する。

（25）請求の範囲第 22 頁第 8 項の「第 1 の判別部（52）の第 1 の判別結果と前記第 2 の判別部（43）が出力した第 2 の判別結果とを記憶する記憶部（53a, 54）」を「第 1 の判別部（52）が第 1 の比較結果を出力してから、前記第 2 の判別部（43）が出力した第 2 の比較結果を記憶する記憶部（53a, 54）」に変更する。

（26）請求の範囲第 22 頁第 8 項の「記憶している判別結果を参照し、参照した判別結果に基づいて前記交流信号の信号レベルの高低を判別し」を「記憶している比較結果を参照し、参照した比較結果に基づいて前記交流信号の信号レベルの高低を判別し」に変更する。

6. 添付書類の目録

請求の範囲第 19 頁、第 19 / 1 頁、第 20 頁、第 21 頁、第 22 頁及び第 22 / 1 頁

請求の範囲

1. (補正後) 交流信号の信号レベルが、零よりも大きい第1の基準電圧(V2)を越えたか否かを判別するための第1の比較結果を出力する第1の判別部(52, 82)と、

前記交流信号の信号レベルが、前記第1の基準電圧(V2)よりも大きい第2の基準電圧(V1)を越えたか否かを判別するための第2の比較結果を出力する第2の判別部(40, 70, 90)と、

前記第1の判別部(52, 82)が第1の比較結果を出力してから、前記第2の判別部(40, 70, 90)が出力した第2の比較結果を記憶する記憶部(53a, 54, 83a, 84)と、

前記記憶部(53a, 54, 83a, 84)が記憶している比較結果を参照し、参照した比較結果に基づいて前記交流信号の信号レベルの高低を判別し、当該判別結果としての高低判別信号を出力する判別信号出力部(53b, 55, 83b, 85, 86)と、を備えた、

ことを特徴とする交流信号のレベル検出回路。

2. (補正後) 前記判別信号出力部(53b, 55, 83b, 85, 86)は、前記第1の判別部(52, 82)が第1の比較結果を出力してから、前記記憶部(53a, 54, 83a, 84)が記憶している前記第2の判別部(40, 70, 90)の第2の比較結果を参照し、

前記交流信号の信号レベルが前記第1の基準電圧(V2)を越えたことを示す第1の比較結果を前記第1の判別部(52, 82)が出力してから、前記交流信号の信号レベルが前記第2の基準電圧(V1)を越えたことを示す第2の比較結果を前記第2の判別部(40, 70, 90)が出力して、前記記憶部(53a, 54, 83a, 84)が前記第2の比較結果を記憶しているとき、前記交流信号の信号レベルが高いことを示す高低判別信号を出力し、

前記交流信号の信号レベルが前記第1の基準電圧(V2)を越えたことを示す第1の比較結果を前記第1の判別部(52, 82)が出力してから、前記交流信号の信号レベルが前記第2の基準電圧(V1)以下であることを示す第2の比較

結果を前記第2の判別部(40, 70, 90)が出力して、前記記憶部(53a, 54, 83a, 84)が前記第2の比較結果を記憶しているとき、前記交流信号の信号レベルが低いことを示す高低判別信号を出力する、

ことを特徴とする請求項1に記載の交流信号のレベル検出回路。

3. (補正後) 前記判別信号出力部(53b, 55)は、

記憶部(53a, 54)が記憶している前記第2の比較結果を、前記交流信号の信号レベルが前記第1の基準電圧(V2)を大きい方から小さい方に越えたとき
5 5に参照して、前記高低判別信号を出力する、

ことを特徴とする請求項2に記載の交流信号のレベル検出回路。

4. (補正後) 前記判別信号出力部(83b, 85, 86)は、

記憶部(83a, 84)が記憶している前記第2の比較結果を、前記交流信号の信号レベルが前記第2の基準電圧(V1)を越えたときと前記第1の基準電圧
10 (V2)を大きい方から小さい方に越えたときに参照して、前記高低判別信号を出力する、

ことを特徴とする請求項2に記載の交流信号のレベル検出回路。

5. (補正後) 前記第1の判別部は、前記交流信号の信号レベルと前記第1の基準電圧(V2)とを比較し、前記交流信号の信号レベルが前記第1の基準電圧(V2)を越えたときは、その旨の第1の比較結果を出力する第1の比較器(52)
15)を備え、

前記第2の判別部は、前記交流信号の信号レベルと前記第2の基準電圧(V1)とを比較し、前記交流信号の信号レベルが前記第2の基準電圧(V1)を越えたときは、その旨の第2の比較結果を出力する第2の比較器(42)を備え、

20 前記記憶部は、

前記交流信号の信号レベルが前記第1の基準電圧(V2)を小さい方から大きい方に越えたときに前記第1の比較器(52)の第1の比較結果に基づいてリセット信号(P1)を生成して出力するリセット信号出力部(53a)と、

前記リセット信号生成部(53a)が生成したリセット信号(P1)に基づいてリセットされ、前記交流信号の信号レベルが前記第2の基準電圧(V1)を越えたことを示す前記第2の比較器(42)の第2の比較結果に基づいてセットされるQ信号を出力し、前記Q信号のリセット、セット状態を、前記第2の比較結果として記憶するリセットセットフリップフロップ回路(54)と、を備え、
25

前記判別信号出力部は、

前記交流信号の信号レベルが前記第1の基準電圧（V2）を大きい方から小さい方に越えたときに前記第1の比較器（52）の第1の比較結果に基づいてタイミング信号（P2）を生成し、出力するタイミング信号出力部（53b）と、

- 5 前記タイミング信号出力部（53b）から前記タイミング信号（P2）が出力されたときに、前記リセットセットフリップフロップ回路（54）から出力されたQ信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を前記高低判別信号として出力する遅延型フリップフロップ回路（55）と、を備えた、

- 10 ことを特徴とする請求項3に記載の交流信号のレベル検出回路。

6.（補正後）前記第1の判別部は、前記交流信号の信号レベルと前記第1の基準電圧（V2）とを比較し、前記交流信号の信号レベルが前記第1の基準電圧（V2）を越えたときは、その旨の第1の比較結果を出力する第1の比較器（82）を備え、

- 15 前記第2の判別部は、前記交流信号の信号レベルと前記第2の基準電圧（V1）とを比較し、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたときは、その旨の第2の比較結果を出力する第2の比較器（72）を備え、

前記記憶部は、

前記交流信号の信号レベルが前記第1の基準電圧（V2）を越えたことを示す

- 20 前記第1の比較器（82）の第1の比較結果に基づいてリセット信号（P1）を生成して出力するリセット信号出力部（83a）と、

前記リセット信号生成部（83a）が生成したリセット信号（P1）に基づいてリセットされ、前記交流信号の信号レベルが前記第2の基準電圧（V1）を越えたことを示す前記第2の比較器（72）の第2の比較結果に基づいてセットさ

- 25 れるQ信号を出力し、前記Q信号のリセット、セット状態を、前記第2の比較結果として記憶するリセットセットフリップフロップ回路（84）と、を備え、

前記判別信号出力部は、

前記第1の比較器(82)が判別した前記第1の比較結果に基づいてタイミング信号(P2)を生成し、出力するタイミング信号出力部(83b)と、

前記タイミング信号出力部(83b)から前記タイミング信号(P2)が出力されたときに、前記リセットセットフリップフロップ回路(84)から出力されたQ信号のリセット、セット状態を参照し、参照した状態と同じ状態の信号を出力する遅延型フリップフロップ回路(85)と、

前記リセットセットフリップフロップ回路(84)の出力信号と遅延型フリップフロップ回路(85)との論理和演算を行い、論理和演算の結果を、高低判別信号として出力する論理和演算部(86)と、を備えた、

10 ことを特徴とする請求項4に記載の交流信号のレベル検出回路。

7. 前記第1の基準電圧(V2)を有する第1の電源と、前記第2の基準電圧(V1)を有する第2の電源と、を備え、

前記第1の電源は、前記交流信号の信号レベルが第1の基準電圧(V2)を小さい方から大きい方に越えたときに第1の基準電圧(V2)を低下させ、

15 前記第2の電源は、前記第2の基準電圧を小さい方から大きい方に越えたときに、前記第2の基準電圧を低下させる、

ことを特徴とする請求項6に記載の交流信号のレベル検出回路。

8. (補正後) 前記交流信号の信号レベルが、零よりも大きい第1の基準電圧(V2)を越えたか否かを判別するための第1の比較結果を出力する第1の判別部
20 (52)と、

前記交流信号の信号レベルが、前記第1の基準電圧(V2)よりも大きい複数の第2の基準電圧(V1, V3)を越えたか否かを判別し、いずれか1つの第2の比較結果を出力する第2の判別部(43)と、

前記第1の判別部(52)が第1の比較結果を出力してから、前記第2の判別部(43)が出力した第2の比較結果を記憶する記憶部(53a, 54)と、
25

前記記憶部(53a, 54)が記憶している比較結果を参照し、参照した比較結果に基づいて前記交流信号の信号レベルの高低を判別し、当該判別結果としての高低判別信号を出力する判別信号出力部(53b, 55)と、を備えた、

ことを特徴とする交流信号のレベル検出回路。

9. 前記第1の基準電圧 (V2) を有する第1の電源と、前記第2の基準電圧 (